



(19)

(11) Publication number:

10290043 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 09097417

(51) Intl. Cl.: H01S 3/18

(22) Application date: 15.04.97

(30) Priority:

(43) Date of application  
publication: 27.10.98(84) Designated contracting  
states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: KADOWAKI TOMOKO  
KIMURA TATSUYA  
TADA HITOSHI  
FUJIWARA MASATOSHI

(74) Representative:

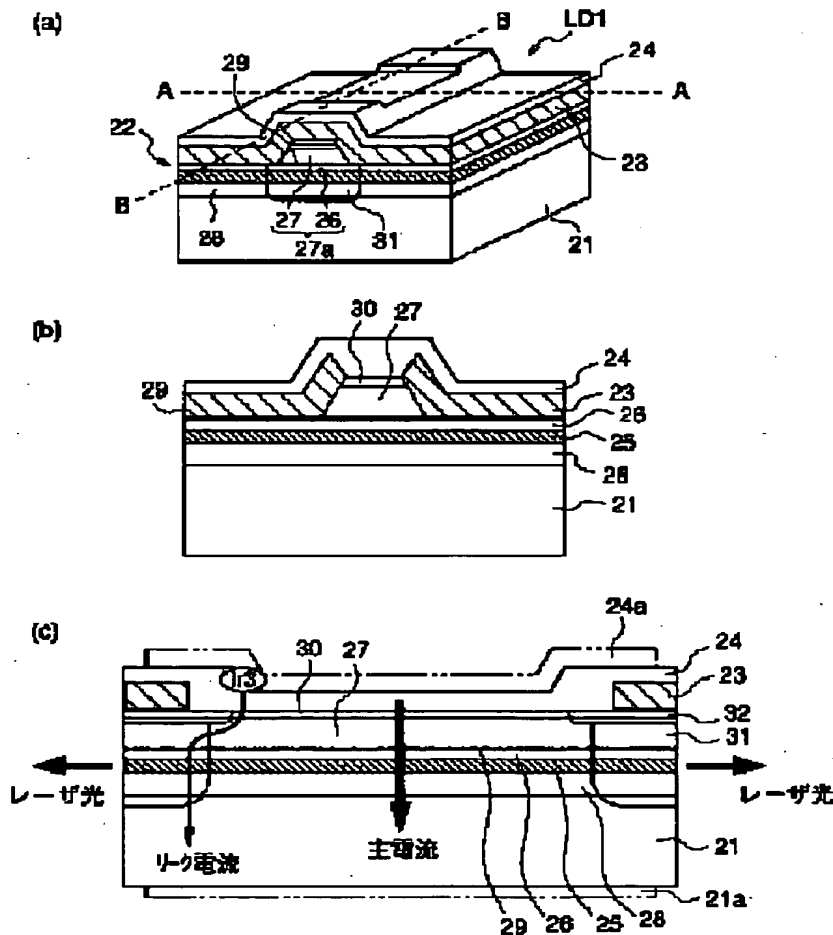
## (54) SEMICONDUCTOR LASER

(57) Abstract:

**PROBLEM TO BE SOLVED:** To suppress a leakage current flowing into a zinc diffusion region constituting a window structure part by a method wherein the window structure part in which the band gap energy of the part of an active layer is larger than that of other parts of the active layer in an optical waveguide is provided and a high-resistance region is formed between the upper part of the window structure part in a current blocking layer and a laminated structure.

**SOLUTION:** Window structure parts (zinc diffusion regions) 31 are formed in both end parts of an optical waveguide, and a high-resistance region 32 is formed between parts which are situated on the window structure parts 31 in a current blocking layer 23 and a laminated structure 22. The window structure parts 31 are formed by diffusing impurities such as zinc or the like. Thereby, the band gap energy of the part of an active layer 25 in the window structure parts 31 is made larger than the band gap energy of other parts (parts in which zinc is not diffused) of the active layer 25 in the optical waveguide. As a result, it is possible to effectively suppress a leakage current flowing into the window structure parts 31 via the current blocking layer 23.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-290043

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl.<sup>9</sup>

H01S 3/18

識別記号

F I

H01S 3/18

審査請求 未請求 請求項の数5 O L (全 14 頁)

(21) 出願番号 特願平9-97417

(22) 出願日 平成9年(1997)4月15日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 門脇 朋子

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 木村 達也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 多田 仁史

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 早瀬 憲一

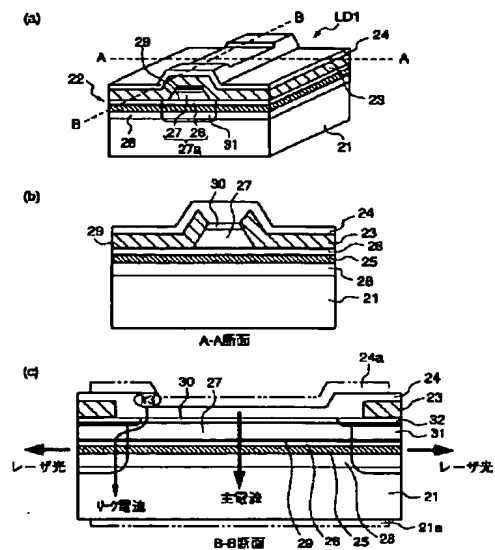
最終頁に続く

(54) 【発明の名称】 半導体レーザ

(57) 【要約】

【課題】 素子内のリーク電流を抑えて、高効率・高出力化を図った半導体レーザを提供する。

【解決手段】 光導波路を構成する領域に駆動電流が集中するように、駆動電流をブロックする電流ブロック層23を備えた。この電流ブロック層23の、窓構造部31上に位置する部分と、半導体積層構造22との間に、高抵抗領域32を設けた。



LD1: 半導体レーザ  
21: 半導体基板  
22: 半導体積層構造  
23: 電流ブロック層  
24: コンタクト層  
25: 活性層  
26: 第1上クラッド層  
27: 第2上クラッド層  
28: 下クラッド層  
29: 窓構造部  
30: 高抵抗領域  
31: 高抵抗領域  
32: 高抵抗領域

## 【特許請求の範囲】

## 【請求項1】 第1導電型半導体基板と、

該半導体基板上に設けられ、活性層を第1導電型下クラッド層と第2導電型上クラッド層との間に挟持してなる積層構造と、

該積層構造の表面側に配置された表面電極と、

上記半導体基板の裏面側に配置された裏面電極と、

該積層構造と表面電極との間に形成され、該積層構造における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックする第1導電型電流ブロック層とを備え、

上記積層構造は、上記光導波路の両端部分に不純物の拡散により形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい窓構造部を有し、

上記電流ブロック層の、上記窓構造部上に位置する部分と、上記積層構造との間には、高抵抗領域が設けられていることを特徴とする半導体レーザ。

## 【請求項2】 第1導電型半導体基板と、

該半導体基板上に設けられ、活性層を第1導電型下クラッド層と第2導電型上クラッド層との間に挟持してなる積層構造と、

該積層構造の表面側に配置された表面電極と、

上記半導体基板の裏面側に配置された裏面電極と、

該積層構造と表面電極との間に形成され、該積層構造における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックする第1導電型電流ブロック層とを備え、

上記積層構造は、上記光導波路の両端部分に不純物の拡散により形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい窓構造部を有し、

上記電流ブロック層の、上記窓構造部上に位置する部分は、活性層にて発振されたレーザ光を吸収しない半導体材料から構成された下層領域と、該下層領域上に配置された該下層領域よりバンドギャップエネルギーの小さい上層領域とからなる2層構造となっていることを特徴とする半導体レーザ。

【請求項3】 請求項2記載の半導体レーザにおいて、上記電流ブロック層の、上記窓構造部上に位置する部分は、該窓構造部の上面を完全に覆うよう、その平面形状を該窓構造部上面の平面形状より大きくしたものである半導体レーザ。

## 【請求項4】 第1導電型半導体基板と、

該半導体基板上に設けられ、活性層を第1導電型下クラッド層と第2導電型上クラッド層との間に挟持してなる積層構造と、

該積層構造上に形成された第2導電型コンタクト層と、

該コンタクト層上に配置された表面電極と、

上記半導体基板の裏面側に配置された裏面電極と、

該積層構造と表面電極との間に形成され、該積層構造における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックする第1導電型電流ブロック層とを備え、

上記積層構造は、上記光導波路の両端部分に不純物の拡散により形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい窓構造部を有し、

上記コンタクト層は、その平面形状を、上記光導波路両端に位置する窓構造部と接触しない形状としたものであることを特徴とする半導体レーザ。

## 【請求項5】 第1導電型半導体基板と、

該半導体基板上に設けられ、活性層を第1導電型下クラッド層と第2導電型上クラッド層との間に挟持してなる積層構造と、

該積層構造の表面側に配置された表面電極と、

上記半導体基板の裏面側に配置された裏面電極と、

該積層構造と表面電極との間に形成され、該積層構造における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックする第1導電型電流ブロック層とを備え、

上記積層構造は、上記光導波路の両端部分に不純物の拡散により形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい窓構造部を有するとともに、該光導波路の該窓構造部内側にこれに隣接して位置する、第1導電型領域あるいは高抵抗領域からなる電流制限領域を有し、

上記電流ブロック層は、その一部が上記窓構造部の表面、あるいは該窓構造部及び上記電流制限領域の表面を覆う構造となっていることを特徴とする半導体レーザ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体レーザに関し、特に、いわゆる端面窓構造を有する半導体レーザにおける端面窓構造に起因するリーク電流の低減に関するものである。

## 【0002】

【従来の技術】近年、光ディスク装置等においては、信号の読み取り、記憶の両方を半導体レーザを用いて行うことから、半導体レーザの高出力化への要求が高まっている。そこで、従来の半導体レーザでは、その高出力化のためのアプローチの一つとして、いわゆる「端面窓構造」が採用されている。

【0003】この端面窓構造は、半導体レーザを構成する光導波路の端面部に亜鉛(Zn)等の不純物を拡散し、該端面部のバンドギャップエネルギーを増大させることにより、光導波路の端面部での光吸収を抑制するものである。この端面窓構造により、半導体レーザの光出射端面の劣化を効果的に抑制しつつ、半導体レーザの高

出力化を図ることができる。

【0004】図12(a)は、従来の端面窓構造を有する半導体レーザの構造を示す斜視図である。また、図12(b)は、図12(a)におけるA-A断面図、図12(c)は、図12(a)におけるB-B断面図である。

【0005】これらの図を参照して従来の半導体レーザLDの構造について説明すると、この半導体レーザLDは、 $n$ -GaAs基板1上に設けられ、いわゆるMQWの活性層3を $n$ -AlGaInP下クラッド層(第1導電型下クラッド層)2と、 $p$ -AlGaInP上クラッド層(第2導電型上クラッド層)4との間に挟持した積層構造200を有している。

【0006】ここで、上記上クラッド層4は、上記活性層3上の全面に形成された厚さ約 $0.2\mu\text{m}$ の $p$ -AlGaInP第1上クラッド層4aと、該第1上クラッド層4aの所定の帯状領域上に形成された厚さ約 $1.25\mu\text{m}$ の $p$ -AlGaInP第2上クラッド層4bとから構成されており、該第2上クラッド層4bの上面部分には、厚さ約 $0.1\mu\text{m}$ の $p$ -GaInPバンド不連続緩和層7が形成されている。また上記下クラッド層2の厚さは約 $1.5\mu\text{m}$ となっている。また、上記第1上クラッド層4aの表面には、厚さ600Åの $p$ -GaInPエッチングストップ層5が形成されている。

【0007】このエッチングストップ層5上の、上記第2上クラッド層4bの両側には、該積層構造200における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックする $n$ -GaAs電流ブロック層8が形成されており、上記積層構造200における第2上クラッド層4bと、その下側の第1上クラッド層4a、活性層3及び下クラッド層2の、該クラッド層4bに対応する部分とにより、上記光導波路が構成されている。

【0008】また、上記積層構造200は、上記光導波路の両端部分にZnの拡散により形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい拡散領域10を有しており、上記電流ブロック層8はその一部が該光導波路両端の拡散領域10上に位置する構造となっている。

【0009】また、上記バンド不連続緩和層7及び電流ブロック層8上には全面に $p$ -GaAsコンタクト層9が形成されており、このコンタクト層9上には $p$ 電極(表面電極)9aが形成され、上記基板1の裏面側には $n$ 電極(裏面電極)1aが形成されている。

【0010】なお、上記Zn拡散領域10がいわゆる窓領域であって、かかる窓領域が形成されている半導体レーザは、一般に端面窓構造を有する半導体レーザと呼ばれている。

【0011】このような構成の半導体レーザLDでは、

上記各電極9a、1aに駆動電圧を印加すると、上記積層構造200中を主電流 $I_m$ が流れ、これにより活性層3にてレーザ光 $L$ が発生して光導波路の光出射端面から出射される。

【0012】この際、光導波路の端面部分にはZn拡散領域10が形成され、この部分での活性層のバンドギャップエネルギーが他の部分に比べて大きくなっているため、上記光出射端面でのレーザ光の吸収はほとんどなく、高出力でのレーザ発振を良好に行うことができる。

【0013】次に、この半導体レーザLDの製造方法について説明する。図13(a)ないし(e)は、半導体レーザLDの製造方法を主要工程順に示す図である。半導体レーザLDは、次のようにして製造することができる。

【0014】始めに、 $n$ -GaAs基板1上に、 $n$ -AlGaInP下クラッド層2、活性層3、 $p$ -AlGaInP第1上クラッド層4a、 $p$ -GaInPエッチングストップ層5、 $p$ -AlGaInP第2上クラッド層4bおよび $p$ -GaInPバンド不連続緩和層7を順次結晶成長させる(図13(a)参照)。このとき、上記 $n$ -AlGaInP下クラッド層2は約 $1.5\mu\text{m}$ 厚に、 $p$ -AlGaInP第1上クラッド層4aは約 $0.2\mu\text{m}$ 厚に、 $p$ -AlGaInP第2上クラッド層4bは約 $1.25\mu\text{m}$ 厚に、そして、 $p$ -GaInPバンド不連続緩和層7は約 $0.1\mu\text{m}$ 厚にそれぞれ形成する。なお、この結晶成長には、有機金属気相成長(MOCVD)法や分子線エピタキシー(MBE)法等を用いる。

【0015】続いて、全面に厚さ約500ÅのSiN膜11を形成した後、SiN膜11の、光導波路の両端部となるべき部分を、その幅 $W_1$ が数十 $\mu\text{m}$ 程度となるようパターニングにより除去し、開口11aを形成する(図13(b)参照)。そして、拡散源となるZnO膜及びキャップ層としての $\text{SiO}_2$ 膜(図示せず)を各々1000Åの厚さで上記SiN膜11上に成膜し、その後、熱処理を行うことにより、上記SiN膜11の開口11a内に露出する部分に選択的に亜鉛(Zn)を拡散する。これにより、Zn拡散領域10が形成される(図13(c)参照)。その後、上記ZnO膜及び $\text{SiO}_2$ 膜を除去する。

【0016】さらに上記SiN膜11のパターニングを行って、約 $3\mu\text{m}$ 幅のストライプパターンを有する部分11bを、上記両Zn拡散領域10を結ぶ方向に沿って形成する。このとき、Zn拡散領域10上にはSiN膜がないため、この部分の、光導波路となるべき部分には、レジスト12を被覆する(図13(d)参照)。

【0017】そして、ウェットエッチング法により上記レジスト12及びSiN膜11bをマスクとして、上記バンド不連続緩和層7及び第2上クラッド層4bを選択的にエッチングして、上記積層構造200における光導波路となる部分を形成する。この選択エッチング時のエッチング深さは、エッチングストップ層5によりエッチ

ングが停止することにより制御される。

【0018】次に上記レジスト12を除去した後、SiN膜11bを選択成長マスクとしてn-GaAs電流ブロック層8を埋め込み成長させる(図13(e)参照)。

【0019】次に、SiN膜11bを除去し、p-GaAsコンタクト層9を全面に結晶成長させ(図12(a)参照)、最後に、p-GaAsコンタクト層9上にp-オーミック電極9aを形成し、n-GaAs基板1の裏面側にn-オーミック電極1aを形成して、上記半導体レーザLDを完成する。

【0020】

【発明が解決しようとする課題】ところで、かかる端面窓構造を有する半導体レーザLDでは、半導体レーザLDの光出射端面の窓構造としての亜鉛拡散領域10は、キャリア濃度 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の高濃度p型領域となっていることから、拡散を行わないほかの領域に比べて抵抗が低い。このため、亜鉛拡散領域10にてリーク電流が流れやすいという問題がある。

【0021】加えて、亜鉛拡散領域10がn-GaAs基板1まで到達している場合、Znの拡散が行われていない領域では、GaInPまたはAlGaInP領域中にpn接合が形成されているのに対し、亜鉛拡散領域10では、GaAs領域中にpn接合が形成される。GaAs領域中のpn接合は、GaInPまたはAlGaInP領域中のpn接合に比べてバンドギャップエネルギーが小さいため、亜鉛拡散領域(窓構造)10の方がリーク電流が流れやすくなる。

【0022】ここで、リーク電流としては、図12(c)に示すように、主に次の3つが考えられる。

【0023】第1のリーク電流は、電流ブロック層8の電流ブロック効果が十分でない場合に電流ブロック層8を介して亜鉛拡散領域10に流れ込むリーク電流 $I_{r1}$ である。

【0024】第2のリーク電流は、p-GaAsコンタクト層9から亜鉛拡散領域10に直接流れ込むリーク電流 $I_{r2}$ である。

【0025】第3のリーク電流は、p-GaAsコンタクト層9からp-AlGaInP第2上クラッド層4bを通して亜鉛拡散領域10に流れ込むリーク電流 $I_{r3}$ である。

【0026】これらリーク電流が発生すると、半導体レーザLDのしきい値や所望の光出力を発生させるための消費電力が大きくなる等の種々の問題が起こる。

【0027】本発明は、かかる背景の下になされたものであり、窓構造を構成する亜鉛拡散領域に流れ込むリーク電流を抑制することができる半導体レーザを提供することを目的とする。

【0028】

【課題を解決するための手段】本発明(請求項1)に係る半導体レーザは、第1導電型半導体基板と、該半導体

基板上に設けられ、活性層を第1導電型下クラッド層と第2導電型上クラッド層との間に挟持してなる積層構造と、該積層構造の表面側に配置された表面電極と、上記半導体基板の裏面側に配置された裏面電極と、該積層構造と表面電極との間に形成され、該積層構造における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックする第1導電型電流ブロック層とを備え、上記積層構造は、上記光導波路の両端部分に不純物の拡散により形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい窓構造部を有し、上記電流ブロック層の、上記窓構造部に位置する部分と、上記積層構造との間には、高抵抗領域が設けられていることを特徴とするものである。

【0029】本発明(請求項2)に係る半導体レーザは、第1導電型半導体基板と、該半導体基板上に設けられ、活性層を第1導電型下クラッド層と第2導電型上クラッド層との間に挟持してなる積層構造と、該積層構造の表面側に配置された表面電極と、上記半導体基板の裏面側に配置された裏面電極と、該積層構造と表面電極との間に形成され、該積層構造における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックする第1導電型電流ブロック層とを備え、上記積層構造は、上記光導波路の両端部分に不純物の拡散により形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい窓構造部を有し、上記電流ブロック層の、上記窓構造部に位置する部分は、活性層にて発振されたレーザ光を吸収しない半導体材料から構成された下層領域と、該下層領域上に配置された該下層領域よりバンドギャップエネルギーの小さい上層領域とからなる2層構造となっていることを特徴とするものである。

【0030】本発明(請求項3)に係る半導体レーザは、請求項2記載の半導体レーザにおいて、上記電流ブロック層の、上記窓構造部に位置する部分は、該窓構造部の上面を完全に覆うよう、その平面形状を該窓構造部上面の平面形状より大きくしたことを特徴とするものである。

【0031】本発明(請求項4)に係る半導体レーザは、第1導電型半導体基板と、該半導体基板上に設けられ、活性層を第1導電型下クラッド層と第2導電型上クラッド層との間に挟持してなる積層構造と、該積層構造上に形成された第2導電型コンタクト層と、該コンタクト層上に配置された表面電極と、上記半導体基板の裏面側に配置された裏面電極と、該積層構造と表面電極との間に形成され、該積層構造における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックする第1導電型電流ブロック層とを備え、上記積層構造は、上記光導波路の両端部分に不純物の拡散に

より形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい窓構造部を有し、上記コンタクト層は、その平面形状を、上記光導波路両端に位置する窓構造部と接触しない形状としたものであることを特徴とするものである。

【0032】本発明（請求項5）に係る半導体レーザは、第1導電型半導体基板と、該半導体基板上に設けられ、活性層を第1導電型下クラッド層と第2導電型上クラッド層との間に挟持してなる積層構造と、該積層構造の表面側に配置された表面電極と、上記半導体基板の裏面側に配置された裏面電極と、該積層構造と表面電極との間に形成され、該積層構造における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックする第1導電型電流ブロック層とを備え、上記積層構造は、上記光導波路の両端部分に不純物の拡散により形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい窓構造部を有するとともに、該光導波路の該窓構造部内側にこれに隣接して位置する、第1導電型領域あるいは高抵抗領域からなる電流制限領域を有し、上記電流ブロック層は、その一部が上記窓構造部の表面、あるいは該窓構造部及び上記電流制限領域の表面を覆う構造となっていることを特徴とするものである。

【0033】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

実施の形態1. 図1は、本発明の実施の形態1による半導体レーザを説明するための図であり、図1(a)は、半導体レーザの構造を示す斜視図であり、図1(b)、(c)は、それぞれ図1(a)におけるA-A断面図、B-B断面図である。また、図2は、この半導体レーザLDの製造方法をその主要工程（図(a)～図(f)）順に示す図である。

【0034】図において、LD1は本実施の形態1の半導体レーザであり、そのn-GaAs基板21上には、いわゆるMQWの活性層25をn-AlGaInP下クラッド層（第1導電型下クラッド層）28と、p-AlGaInP上クラッド層（第2導電型上クラッド層）27aとの間に挟持してなる積層構造22が設けられている。

【0035】ここで、上記上クラッド層27aは、上記活性層25上の全面に形成された厚さ約0.2 $\mu$ mのp-AlGaInP第1上クラッド層26と、該第1上クラッド層26の所定の帯状領域上に形成された厚さ約1.25 $\mu$ mのp-AlGaInP第2上クラッド層27とから構成されており、該第2上クラッド層27の表面部分には、厚さ約0.1 $\mu$ mのp-GaInPバンド不連続緩和層30が形成されている。また上記下クラ

ッド層28の厚さは約1.5 $\mu$ mとなっている。また、上記第1上クラッド層26の表面には、厚さ60 $\text{\AA}$ のp-GaInPエッチングストップ層29が形成されている。

【0036】このエッチングストップ層29上の、上記第2上クラッド層27の両側には、該積層構造22における光導波路を構成する所定の帯状領域に駆動電流が集中するよう該駆動電流をブロックするn-GaAs電流ブロック層23が形成されており、上記積層構造22における第2上クラッド層27と、その下側の、エッチングストップ層29、第1上クラッド層26、活性層25及び下クラッド層28の、該第2上クラッド層27に対応する部分とにより、上記光導波路が構成されている。

【0037】また、上記積層構造22は、上記光導波路の両端部分にZnの拡散により形成された、その活性層部分のバンドギャップエネルギーが該光導波路の他の活性層部分のバンドギャップエネルギーより大きい拡散領域31を有しており、上記電流ブロック層23はその一部が該光導波路両端の拡散領域31上に位置する構造となっている。

【0038】また、上記バンド不連続緩和層30及び電流ブロック層23上には全面にp-GaAsコンタクト層24が形成されており、このコンタクト層24上にはp電極（表面電極）24aが形成され、上記基板21の裏面側にはn電極（裏面電極）21aが形成されている。

【0039】そして、本実施の形態1の特徴とするところは、図1(c)に示すように、上記光導波路の両端部分に窓構造部（Zn拡散領域）31が形成されており、電流ブロック層23の、窓構造部31上に位置する部分と上記積層構造22との間には、高抵抗領域32が設けられている点である。なお、上記窓構造部31は、亜鉛（Zn）等の不純物の拡散により形成されており、これにより、窓構造部31における、活性層25部分のバンドギャップエネルギーが光導波路の他の活性層25部分（亜鉛が拡散されていない部分）のバンドギャップエネルギーよりも大きくなっている。

【0040】次に、図2を参照して、半導体レーザLDの製造方法について説明する。まず、図2(a)～(c)に示すプロセスフローは、従来の半導体レーザのプロセスフローと全く同じである。すなわち、始めに、n-GaAs基板21上に約1.5 $\mu$ m厚のn-AlGaInP下クラッド層（キャリア濃度 $4 \times 10^{17} \text{ cm}^{-3}$ ）28、活性層25、約0.2 $\mu$ m厚のp-AlGaInP第1上クラッド層（キャリア濃度 $4 \times 10^{17} \text{ cm}^{-3}$ ）26、厚さ60 $\text{\AA}$ のp-GaInPエッチングストップ層（キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ ）29、約1.25 $\mu$ m厚のp-AlGaInP第2上クラッド層（キャリア濃度 $7 \times 10^{17} \text{ cm}^{-3}$ ）27、約0.1 $\mu$ m厚のp-GaInPバンド不連続緩和層（キャリア濃度

$1 \times 10^{18} \text{ cm}^{-3}$ ) 30を、順次結晶成長する(図2(a))。この結晶成長には、有機金属気相成長(MOCVD)法や分子線エビタキシー(MBE)法を採用できる。

【0041】続いて、約500オングストローム厚のSiN膜33を形成した後、半導体レーザLD1の端面に相当する部分34(以下、「端面部34」という)に、幅W1が数十 $\mu\text{m}$ 程度のパターニングを施して切欠部35を形成する(図2(b))。

【0042】次に、拡散源となるZnO膜およびキャップ層のSiO<sub>2</sub>膜を各々1000オングストローム程度の厚さでSiN膜33の上に成膜し、続いて熱処理を行うことにより、上記切欠部35に露出する部分に選択的に亜鉛(Zn)を拡散し、その後、ZnO膜、SiO<sub>2</sub>膜を除去する(図2(c))。これにより、亜鉛拡散領域として窓構造部31が形成される。

【0043】本実施の形態では、亜鉛拡散領域31を形成した後、SiN膜33の切欠部35を、亜鉛拡散領域31の拡散フロントが表面側から見える程度に大きく広げる(図2(d))。続いて、このSiN膜33をマスクにしてプロトン(H)等をイオン注入することにより、高抵抗領域32を形成する。このイオン注入に用いるイオン種は、高抵抗になるものであれば、プロトン(H)に限らず、シリコン(Si)等でもよい。なお、イオン注入により形成される高抵抗領域の深さは、通常0.5 $\mu\text{m}$ 程度である。また、図2(d)では、高抵抗領域32を、亜鉛拡散領域31及びその近傍、つまり端面部34の中央部のみに形成しているが、高抵抗領域32は、端面部34の全領域にわたって形成してもよい。

【0044】次に、従来の半導体レーザと同様、光導波路を形成するために、約3 $\mu\text{m}$ 幅の帯状パターンのマスクを形成する。この時、イオン注入による高抵抗領域32上にはSiN膜33がないため、この部分にはレジスト36を形成し、これをエッチングマスクに使用する(図2(e))。そして、上記レジスト36及びSiN膜33をマスクとするウェットエッチング法により光導波路を形成した後、レジスト36を除去し、SiN膜33を選択成長マスクとして使用し、n-GaAs電流ブロック層23を埋め込み成長させる(図2(f))。上記光導波路形成時のエッチングの深さの制御は、従来と同様、エッチングストップ層29によりエッチング処理を停止させることにより行う。

【0045】その後、SiN膜33を除去し、p-GaAsコンタクト層24を結晶成長させ(図1(a))、最後に、n-GaAs基板21の表面、及びp-GaAsコンタクト層24の表面上にオーミック電極21a、24aを形成して、半導体レーザLD1を完成する。

【0046】次に、図1を参照して、本実施の形態の作用効果について説明する。本実施の形態1では、端面部34の亜鉛拡散領域31と電流ブロック層23との間に

イオン注入による高抵抗領域32が挿入されているため、電流ブロック層23を介して亜鉛(Zn)拡散領域31に流れ込むリーク電流Ir1(図12(c)参照)を効果的に抑制することができる。

【0047】また、本実施の形態では、高抵抗領域32が亜鉛拡散領域31より大きいサイズに形成されているので、高濃度p型の亜鉛拡散領域31がp-GaAsコンタクト層24と直接接することがなくなり、p-GaAsコンタクト層24から亜鉛(Zn)拡散領域31に直接流れ込むリーク電流Ir2(図12(c)参照)を効果的に抑制することができる。

【0048】また、本実施の形態では、イオン注入によりp-GaInPバンド不連続緩和層30およびp-AlGaInP第2上クラッド層27の一部が高抵抗化されるため、p-GaAsコンタクト層24からp-AlGaInP第2上クラッド層27を通して亜鉛拡散領域31に至るリーク電流経路の幅が狭くなり、この電流経路を流れるリーク電流Ir3を少なくできる。

【0049】実施の形態2. 次に、本発明の実施の形態2について説明する。図3は、本発明の実施の形態2による半導体レーザを説明するための図であり、図3(a)は、半導体レーザLD2の構造を示す斜視図であり、図3(b)、(c)は、それぞれ図3(a)におけるA-A断面図、B-B断面図である。図4は、この半導体レーザLD2の製造方法を主要工程(図(a)~(f))順に説明するための図である。

【0050】図において、LD2は本実施の形態2の半導体レーザであり、図1と同一符号は実施の形態1の半導体レーザLD1におけるものと同一のものを示している。そしてこの実施の形態2では、図3(c)に示すように、上記光導波路の両端部分に窓構造部31が形成されており、電流ブロック層23の、窓構造部31上に位置する部分は、活性層25にて発振されたレーザ光を吸収しない半導体材料からなる下層領域40と、下層領域40の上部に配置され、この下層領域40よりもバンドギャップエネルギーの小さい上層領域41とからなる二層構造となっている点が上記実施の形態1とは異なっている。

【0051】具体的には、電流ブロック層23は、n-AlGaInPからなる下層領域40と、n-GaAsからなる上層領域41とを有している。なお、上記窓構造部31は、亜鉛の拡散により形成されており、これにより、窓構造部31における活性層25部分のバンドギャップエネルギーが光導波路の他の活性層25部分(亜鉛が拡散されていない部分)のバンドギャップエネルギーよりも大きくなっている。

【0052】次に、図4を参照して、半導体レーザLD2の製造方法について説明する。まず、図4(a)~(c)に示すプロセスフローは、上記実施の形態1で示したプロセスフローと全く同じである。すなわち、始めに、n

-GaAs基板21上に下クラッド層28、活性層25、第1上クラッド層26、エッチングストップ層29、第2上クラッド層27、及びバンド不連続緩和層30を、順次結晶成長した後(図4(a))、端面部34に切欠部35を有するSiN膜33を形成する(図4(b))。その後、上記SiN膜33上に形成した、拡散源となるZnO膜およびキャップ層のSiO<sub>2</sub>膜を用いて、上記切欠部35内に露出する半導体領域に、選択的に亜鉛(Zn)を拡散する。これにより、亜鉛拡散領域として窓構造部31を形成する。

【0053】そして本実施の形態による半導体レーザLD2の製造方法では、亜鉛拡散領域31を形成した後、端面部34のSiN膜33をエッチング除去する。この時、エッチング除去する領域は、亜鉛拡散領域31の拡散フロントが結晶表面側から見える程度に十分大きくする。

【0054】次に、このSiN膜33をマスクとして、p-GaInPバンド不連続緩和層30、p-AlGaInP第2上クラッド層27をエッチング除去した後、n-AlGaInP電流ブロック層40、n-GaAs電流ブロック層41を埋め込み成長する(図4(d))。

【0055】n-AlGaInP電流ブロック層40のAl組成比は、発振波長の光を吸収しないAl組成比、たとえば、上記クラッド層26、27、28のAl組成比とほぼ等しくしておく。エッチング深さの制御は、エッチングストップ層29でエッチングを停止させることにより行う。

【0056】次に、従来の半導体レーザと同様、光導波路を形成するために、約3μm幅の帯状パターンを有するレジスト膜36をSiN膜33上に、n-AlGaInP電流ブロック層40及びn-GaAs電流ブロック層41を埋め込んだ領域にまたがるよう形成する(図4(e))。次に、上記レジスト膜36をマスクとするウェットエッチング法により、光導波路を形成し、その後レジスト36を除去し、さらにSiN膜33を選択成長マスクとしてn-GaAs電流ブロック層41を埋め込み成長する(図4(f))。

【0057】そして、SiN膜33を除去し、p-GaAsコンタクト層24を結晶成長させ(図3(a))、最後に、n-GaAs基板21の裏面、及びp-GaAsコンタクト層24の表面上にオーミック電極を形成して、半導体レーザLD2を完成する。

【0058】次に、図3を参照して、本実施の形態の作用効果について説明する。この実施の形態2では、端面部34における電流ブロック層23は、n-AlGaInP電流ブロック層40とn-GaAs電流ブロック層41とを積層した構造となっており、その厚さは2μm前後と厚く形成されているので、電流ブロック層23を介して亜鉛拡散領域31に流れ込むリーク電流Ir1(図12(c)参照)を効果的に抑制することができる。

【0059】ここで、端面部34の電流ブロック層23を、GaAsのみで構成せずに、AlGaInP/GaAsの二層構造とした理由を説明する。仮に、端面部34の電流ブロック層23をGaAsのみで構成した場合には、GaAsが活性層から約0.2μmの位置まで埋め込まれることになるので、リーク電流低減の効果は大きい。GaAsが発振波長の光を吸収するため、端面近傍で損失(ロス)が増えてレーザ特性を悪化させてしまう。一方、このGaAs電流ブロック層と活性層25との距離を離すと、損失(ロス)の増加は抑えることができるが、リーク電流低減の効果は小さくなってしまふ。

【0060】本実施の形態2においては、電流ブロック層23の、窓構造部31上に位置しかつ活性層25に隣接する部分を、発振波長の光を吸収しないAl組成比のAlGaInPで構成しているので、電流ブロック層23を活性層から約0.2μmの距離に近づけても発振波長の光の吸収が生ずることはなく、レーザ特性が悪化することはない。

【0061】また、本実施の形態では、電流ブロック層40、41の平面形状が亜鉛拡散領域31の平面形状より大きくなっているため、高濃度Zn拡散領域31がp-GaAsコンタクト層24と直接接することがなくなり、p-GaAsコンタクト層24から亜鉛(Zn)拡散領域31に直接流れ込むリーク電流Ir2(図12(c)参照)を効果的に抑制することができる。

【0062】しかも、本実施の形態では、p-GaAsコンタクト層24からp-AlGaInP上クラッド層27を通して亜鉛拡散領域31に至る電流経路の最小幅は、p-AlGaInP第1上クラッド層26の層厚である約0.2μmと極めて狭くなるため、この経路を流れるリーク電流Ir3を極めて小さくすることができる。

【0063】実施の形態3。図5は、本発明の実施の形態3に係る半導体レーザLD3を説明するための図であり、図5(a)は、半導体レーザLDの構造を示す斜視図であり、図5(b)、(c)は、それぞれ図5(a)におけるA-A断面図、B-B断面図である。図6は、この半導体レーザの製造方法を主要工程(図(a)~(f))順に説明するための図である。

【0064】図において、LD3は本実施の形態3の半導体レーザであり、図1と同一符号は実施の形態1の半導体レーザLD1におけるものと同一のものを示している。

【0065】本実施の形態3の特徴とするところは、図5(c)に示すように、上記光導波路の両端部分に窓構造部31が形成されており、上記コンタクト層24cは、その平面形状が上記光導波路の両端に位置する窓構造部31と接触しない形状に形成されている点である。なお、この実施の形態3では、光導波路の両端部上には電流ブロック層23が形成されていない。



【0066】次に、図6を参照して、半導体レーザの製造方法について説明する。図6(a)～(c)に示すように、上記実施の形態1の半導体レーザの製造方法における図2(a)～(c)に示す処理と同一の処理を行った後、図6(d)に示すように、SiN膜33をパターンニングして、約 $3\mu\text{m}$ 幅の帯状のマスクを形成する。この場合も亜鉛拡散領域31上にはSiN膜がないため、この部分にはレジスト36を形成し、これをマスクに使用する。

【0067】その後は、上記実施の形態1の、図2(f)及び図1(a)に示す処理と同様の処理を行って、n-GaAs電流ブロック層23の形成(図6(e))、及びコンタクト層24の形成(図6(f))を行う。

【0068】そして本実施の形態3では、p-GaAsコンタクト層24を結晶成長した後、コンタクト層24を、これが上記亜鉛拡散領域31と重ならないようパターンニングし、さらに端面部34のp-GaAs電流ブロック層23をエッチング除去する(図5(a)参照)。この時、エッチング除去する面積は、亜鉛拡散領域31の拡散フロントが結晶表面側から見える程度に十分に広くし、エッチング深さはp-GaInPバンド不連続緩和層30が完全に露出するまでとする。最後に、p-GaAsコンタクト層24にp側オーミック電極50を、n-GaAs基板21にn側オーミック電極21aを形成して、半導体レーザLD3を完成する。

【0069】次に、図5を参照して、本実施の形態3の作用効果について説明する。本実施の形態3では、端面部34にてp-GaAsコンタクト層24c及びn-GaAs電流ブロック層23は完全に除去され、亜鉛拡散領域31の上にはn-GaAs電流ブロック層23もp-GaAsコンタクト層24cも存在しないので、p-GaAsコンタクト層24cから電流ブロック層23を介して亜鉛拡散領域31に流れ込むリーク電流 $I_{r1}$ をなくすることができる。

【0070】また、p-GaAsコンタクト層24cと亜鉛拡散領域31が直接接していないので、p-GaAsコンタクト層24cから亜鉛拡散領域31に直接流れ込むリーク電流 $I_{r2}$ もなくすることができる。

【0071】さらに、p-GaAsコンタクト層24cを亜鉛拡散領域31からできるだけ距離を離してチップ内側のみに形成すれば、p-GaAsコンタクト層24cからp-AlGaInP上クラッド層27を通して亜鉛拡散領域31に至るリークパスが長くなるので、このリークパスを流れるリーク電流 $I_{r3}$ を低減できる。

【0072】実施の形態4。図7は、本発明の実施の形態4による半導体レーザを説明するための図であり、図7(a)は、半導体レーザLD4の構造を示す斜視図であり、図7(b)は、図7(a)におけるA-A断面図である。また、図8(a)～(c)、図9(a)～(c)、図10(a)、(b)は、この半導体レーザの製造方法を主要工程順に説明するための図である。

【0073】図において、LD4は本実施の形態4の半導体レーザであり、図1と同一符号は実施の形態1の半導体レーザLD1におけるものと同一のものを示している。そして、本実施の形態4では、図7(b)に示すように、上記積層構造22は、光導波路の両端部分に形成された窓構造部31を有し、この窓構造部31の内側に、これに隣接してn-GaAs電流制限領域60が形成されており、上記電流ブロック層23は、その一部が窓構造部31の上面を覆う構造となっている。また、この実施の形態4では、下クラッド層28と基板21との間にn-GaAsバッファ層61が形成されている。その他の構成は上記実施の形態1と同一である。

【0074】次に、図8～図10を参照して、半導体レーザLD4の製造方法について説明する。まず、n-GaAs(001)基板21上に、約 $0.5\mu\text{m}$ 厚のn-GaAsバッファ層(キャリア濃度 $1 \times 10^{18} \text{cm}^{-3}$ )61、約 $1.5\mu\text{m}$ 厚のn-AlGaInP下クラッド層(キャリア濃度 $4 \times 10^{17} \text{cm}^{-3}$ )28、いわゆるMQWの活性層25、約 $0.2\mu\text{m}$ 厚のp-AlGaInP第1上クラッド層(キャリア濃度 $4 \times 10^{17} \text{cm}^{-3}$ )26、約60オングストローム厚のp-GaInPエッチングストップ層(ESL)(キャリア濃度 $1 \times 10^{18} \text{cm}^{-3}$ )29、約 $1.25\mu\text{m}$ 厚のp-AlGaInP第2上クラッド層(キャリア濃度 $7 \times 10^{17} \text{cm}^{-3}$ )27、約 $0.1\mu\text{m}$ 厚のp-GaInPバンド不連続緩和層(キャリア濃度 $1 \times 10^{18} \text{cm}^{-3}$ )30、約 $0.4\mu\text{m}$ 厚のp-GaAs層(キャリア濃度 $5 \times 10^{18} \text{cm}^{-3}$ )62を、MOCVD法を用いて順次成長させる(図8(a))。

【0075】次に、SiN膜33を熱CVDで成膜した後、写真製版技術を用いて図8(b)のようにSiN膜33に穴63をあける。なお、図8(c)は、図8(b)におけるA-A断面図である。図8(c)に示すように、穴63内に露出するp-GaAs層62を除去した後、イオン注入(又は拡散)により穴63の領域にSiを拡散してn型電流制限領域60を形成する。このとき、不純物の拡散は、電流制限領域60がエッチングストップ層29の近傍まで到達するよう行う。

【0076】次に、もう一度写真製版技術を用いて、図9(a)に示すように、先ほど穴開けした外側で、かつ<110>方向に沿ってSiN膜33に穴64をあける。すなわち、上記図8(b)で示したSiN膜33を除去し、再びSiN膜33aを熱CVDで成膜した後、このSiN膜33aに穴64をあける。穴64をあけた領域に、今度はZnを拡散させる(図9(b))。同図では、Znの拡散フロントは、n-GaAsバッファ層61まで到達しているが、これはn-AlGaInP下クラッド28、あるいはn-GaAs基板21まで到達するようにしても良い。

【0077】図9(c)は、図9(b)におけるA-A断面

図である。活性層25のZnを拡散した部分は無秩序化され、活性層25の、Znを拡散していない部分で発光する波長650nmの光を吸収しない領域となる。このZn拡散層(窓構造部)31と前述の電流制限領域60は、図9(c)に示すように隣接して配置される。

【0078】次に、写真製版技術を用いて、図10(a)のようにレジスト膜のパターニングを行って、 $\langle 110 \rangle$ 方向に沿った幅3 $\mu\text{m}$ の帯状レジスト65を形成する。その後、上記レジスト膜65をマスクとして上記SiN膜33aをHF(フッ酸)を用いて選択的にエッチングする。これによりレジスト65に覆われていない領域を除去する。さらに、このレジスト65をエッチングマスクとして、p-GaAs層62、p-GaInPバンド不連続緩和層30、p-AlGaInP第2上クラッド層27を除去する。このエッチング処理は、エッチングストップ層29にて停止する。

【0079】さらに上記レジスト膜65を除去した後、今度は、ストライプ状のSiN膜33aを選択成長マスクとしてn-GaAs電流ブロック層(キャリア濃度 $4 \times 10^{18} \text{ cm}^{-3}$ 、層厚1 $\mu\text{m}$ )23を成長させる(図10(b))。このn-GaAs電流ブロック層23は、Zn拡散層31の上部を覆うように成長させ、その後、SiN膜33aを除去する(図10(b))。そして、p-GaAsコンタクト層(キャリア濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 、層厚1 $\mu\text{m}$ )24を成長し(図7(a)参照)、該コンタクト層24の表面側及び基板21の裏面側にオーミック電極24a、21aを形成して、半導体レーザLD4を完成する(図7(b)参照)。

【0080】次に、上記プロセスで作製した半導体レーザLD4の動作原理について説明する。順バイアスを半導体レーザLD4に印加したときの電流の流れについて図11(a)を用いて説明する。上記半導体レーザLD4では、電流パス66を構成する半導体領域はpnpnサイリスタ構造となり、この経路66を流れる電流の量は少なくなっている。また電流パス67及び68についても同様な理由で、これらのパスの電流量は少なくなっている。さらに電流パス69を構成する半導体領域はpn接合構造となるため、この電流パス69では電流量が多くなると考えられるが、p-AlGaInP第1上クラッド層26のシート抵抗が、電流パス69の他の領域のものより2~3桁程度高いため、他の電流パスと同様に電流量は抑制される。このように、Zn拡散の窓構造部31を通して流れるリーク電流は抑制されることとなる。

【0081】なお、上記実施の形態4では、電流制限領域をn型半導体層により構成したものを示したが、該電流制限領域60はi型高抵抗領域により構成してもよいが、この場合、リーク電流の実質的な低減を図るためには、電流ブロック層23により電流制限領域60を完全に覆うようにし、しかも該電流制限領域60の $\langle 110 \rangle$

0>方向における幅を所定寸法以上とする必要がある。

【0082】以下、簡単に説明すると、上記電流制限領域60をi型高抵抗領域により構成した場合、電流パス66及び69の電流量は前述と同様に少なくなるが、電流パス67、68を構成する半導体領域はpipn構造となる。この構造の電流パス67、68では、電流量が、実質的なi層の厚さ、つまり電流制限領域60の厚み(L)で決まり、しかも低バイアス時はオーム電流が流れ、高バイアス時には空間制限電流が流れることとなる。ここで、オーム電流量は空間制限電流量より少なく、また、リーク電流の発生モードがオーム電流によるモードから空間制限電流によるモードに切り換わる臨界電圧Vは、次式で表され、リーク電流経路における上記電流制限領域60の厚みLに強く依存する。

【0083】

【数1】

$$V \approx \frac{8}{9} \cdot \frac{e n_0}{\epsilon} \cdot L^2$$

e : 単位電位

$n_0$  : 熱平衡時のキャリア濃度

$\epsilon$  : 誘電率

【0084】本実施の形態では、半導体レーザLD4の動作電圧は3V近くなる。従って、この場合、リーク電流の発生モードとして、オーム電流によるモードが保持されるようにするには、少なくとも電流制限領域60の厚みを5 $\mu\text{m}$ 程度にする必要がある。ところが、電流パス68における実質的な電流制限領域60の厚みは、1 $\mu\text{m}$ (p-AlGaInP第2クラッド層27の厚み)程度しかないので、電流制限領域60がn型半導体からなる場合と比べて、電流パス68の電流量が多くなる可能性がある。

【0085】この電流パス68の電流量の増加を回避する対策としては、図11(b)のように、n-GaAs電流ブロック層23が電流制限領域60の表面全体を覆う構造が有効である。つまりこの構造では、リーク電流のパスとして上記電流パス68のかわりに電流パス70が形成されるため、電流制限領域60の $\langle 110 \rangle$ 方向の幅を5 $\mu\text{m}$ にすれば、リーク電流の発生モードをオーム電流によるモードに保持することができ、電流パス70の電流量を抑えることができる。

【0086】

【発明の効果】本発明(請求項1)に係る半導体レーザによれば、電流ブロック層の、窓構造部に位置する部分と、活性層を上下のクラッド層により挟み込んでなる積層構造との間に、高抵抗領域を設けたので、電流ブロック層を介して窓構造部に流れ込むリーク電流を効果的に抑制することができ、その結果、半導体レーザのしきい値及び消費電力を小さく抑えつつ高出力化を図ることができる効果がある。

【0087】本発明（請求項2）に係る半導体レーザによれば、電流ブロック層の、上記窓構造部上に位置する部分は、活性層にて発振されたレーザ光を吸収しない半導体材料から構成された下層領域と、該下層領域上に配置された該下層領域よりバンドギャップエネルギーの小さい上層領域とからなる2層構造となっているので、電流ブロック層を介して窓領域である不純物拡散領域に流れ込むリーク電流を極めて効果的に抑制することができると共に、電流ブロック層と活性層との距離を小さくすることができ、レーザ特性の向上を図ることができるという効果がある。

【0088】本発明（請求項3）によれば、請求項2記載の半導体レーザにおいて、電流ブロック層の、窓構造部上に位置する部分が、窓構造部の上面を完全に覆っているため、窓構造部がコンタクト層と直接接することがなくなり、コンタクト層から窓構造部に直接流れ込むリーク電流をさらに効果的に抑制することができ、その結果、一層半導体レーザの高出力化を図ることができるという効果がある。

【0089】本発明（請求項4）に係る半導体レーザによれば、コンタクト層の平面形状を、該コンタクト層が窓構造部と重ならないような形状としたので、コンタクト層から窓構造部に直接流れ込むリーク電流を効果的に抑制することができ、その結果、半導体レーザのしきい値及び消費電力を抑えつつ高出力化を図ることができるという効果がある。

【0090】本発明（請求項5）に係る半導体レーザによれば、光導波路の窓構造部内側に第1導電型領域または高抵抗領域からなる電流制限領域を設け、第1導電型電流ブロック層を、その一部が窓構造部の表面、あるいは窓構造部及び電流制限領域の表面を覆う構造としたので、上記窓構造部に流れ込むリーク電流を上記電流ブロック層及び電流制限領域により抑制することが可能となり、その結果、半導体レーザのしきい値及び消費電力を抑えつつ高出力化を図ることができるという効果がある。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1による半導体レーザの構造を示す図であって、(a)は斜視図、(b)はA-A断面図、(c)はB-B断面図である。

【図2】 本発明の実施の形態1に係る半導体レーザの

製造方法を主要工程順（図(a)～(f)）に説明するための図である。

【図3】 本発明の実施の形態2による半導体レーザの構造を示す図であって、(a)は斜視図、(b)はA-A断面図、(c)はB-B断面図である。

【図4】 本発明の実施の形態2に係る半導体レーザの製造方法を主要工程（図(a)～(f)）順に説明するための図である。

【図5】 本発明の実施の形態3による半導体レーザの構造を示す図であって、(a)は斜視図、(b)はA-A断面図、(c)はB-B断面図である。

【図6】 本発明の実施の形態3による半導体レーザの製造方法を主要工程（図(a)～(f)）順に説明するための図である。

【図7】 本発明の実施の形態4による半導体レーザの構造を示す図であって、(a)は斜視図、(b)はA-A断面図である。

【図8】 本発明の実施の形態4による半導体レーザの製造方法を主要工程（図(a)～(c)）順に説明するための図である。

【図9】 本発明の実施の形態4による半導体レーザの製造方法を主要工程（図(a)～(c)）順に説明するための図である。

【図10】 本発明の実施の形態4に係る半導体レーザの製造方法を主要工程（図(a)、(b)）順に説明するための図である。

【図11】 本発明の実施の形態4による半導体レーザのリーク電流の流れを示す図である。

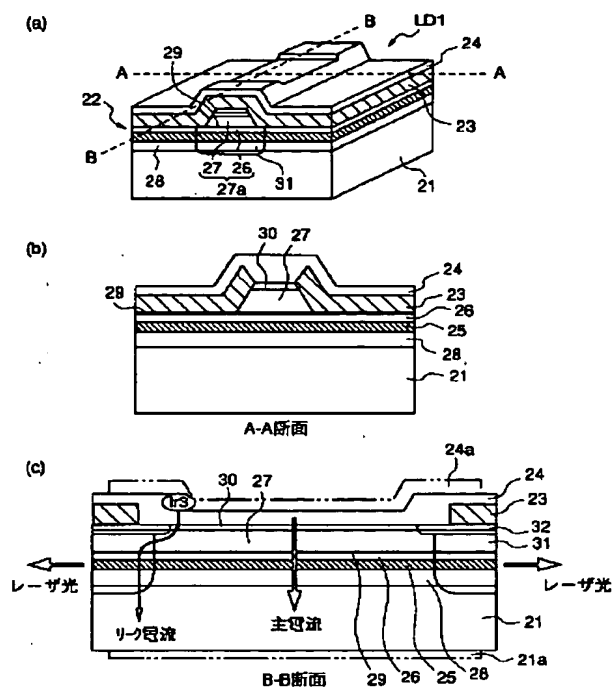
【図12】 従来の半導体レーザの構造を示す図であって、(a)は斜視図、(b)はA-A断面図、(c)はB-B断面図である。

【図13】 従来の半導体レーザの製造方法を主要工程（図(a)～(e)）順に説明するための図である。

#### 【符号の説明】

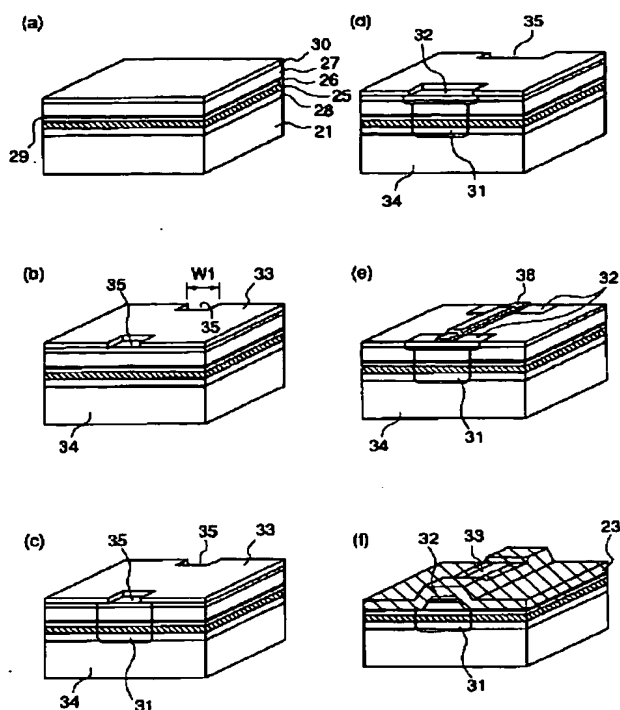
21 半導体基板、22 半導体積層構造、23 電流ブロック層、24 コンタクト層、25 活性層、26 第1上クラッド層、27 第2上クラッド層、28 下クラッド層、31 窓構造部、32 高抵抗領域、Ir1、Ir2、Ir3 リーク電流、40 下層領域、41 上層領域、60 電流制限領域、66～70 電流パス、LD1、LD2、LD3、LD4 半導体レーザ。

【図1】

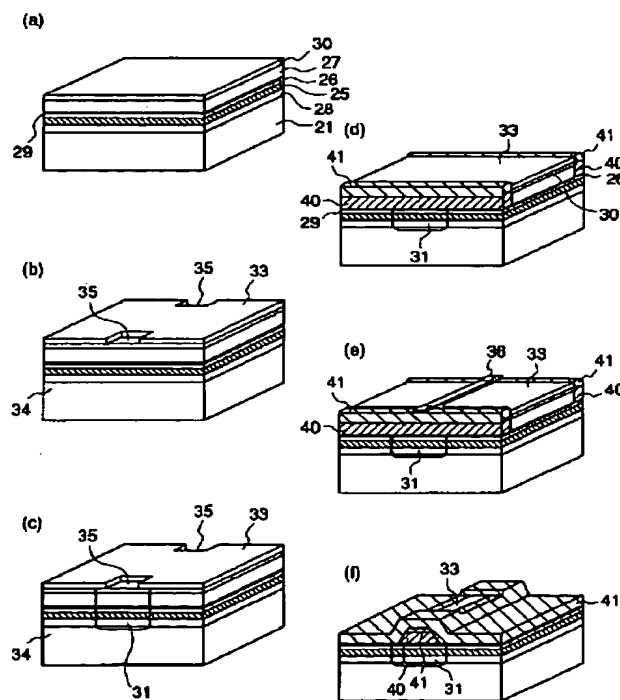


LD1: 半導体レーザ  
 21: 半導体基板  
 22: 半導体積層構造  
 23: 電流ブロック層  
 24: コンタクト層  
 25: 活性層  
 26: 第1上クラッド層  
 27: 第2上クラッド層  
 28: 下クラッド層  
 31: 窓構造部  
 32: 高抵抗領域  
 21a: 表面電極  
 24a: 表面電極

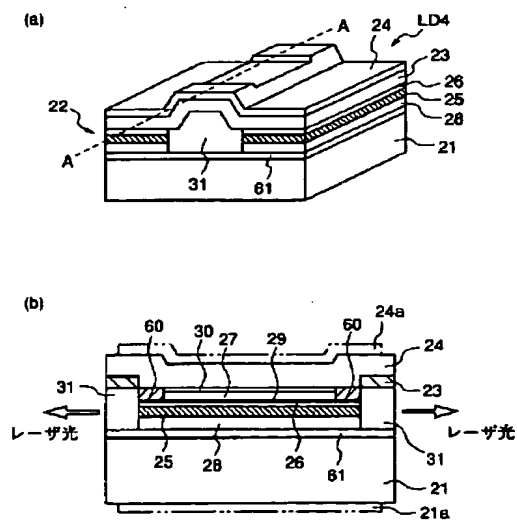
【図2】



【図4】

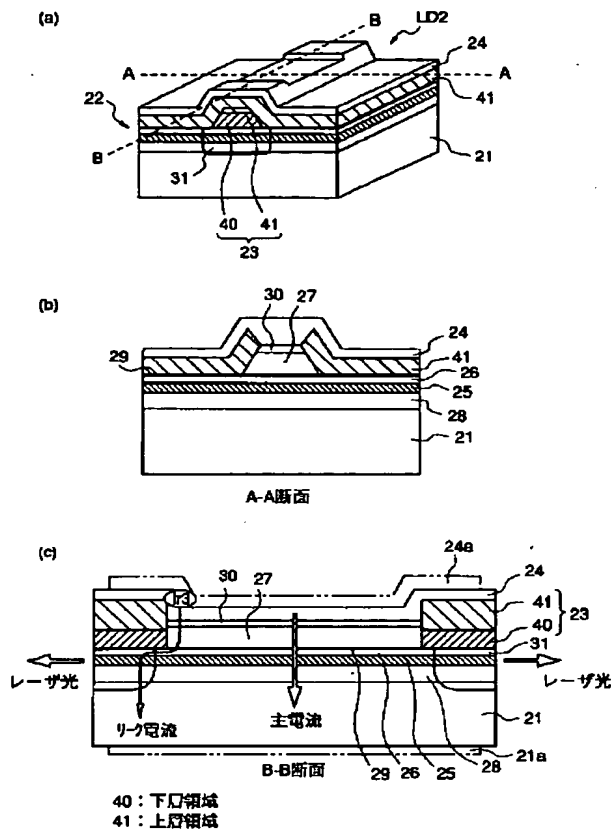


【図7】

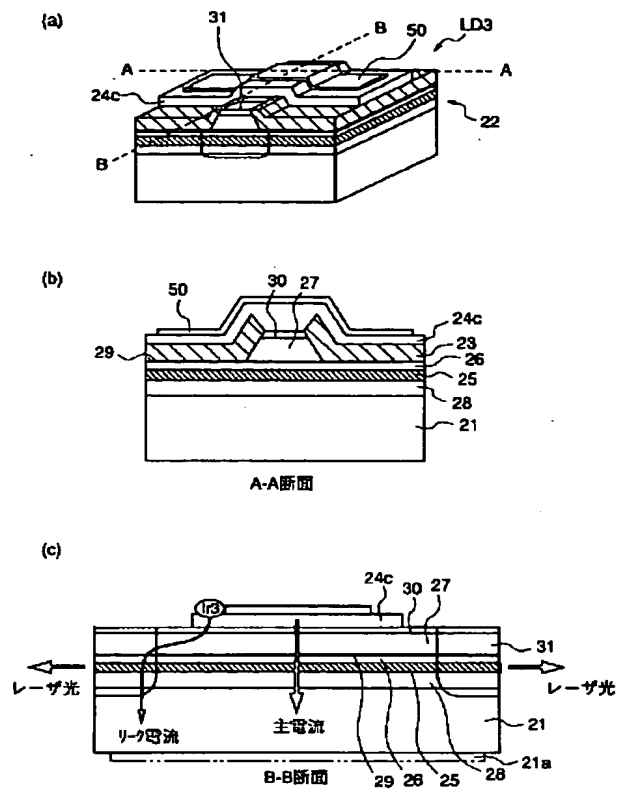


60: 電流制限領域

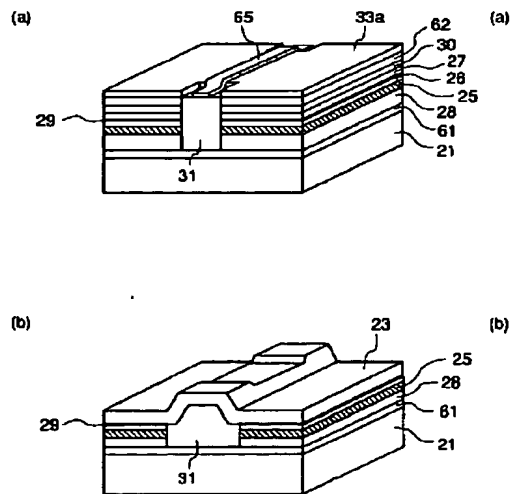
【図3】



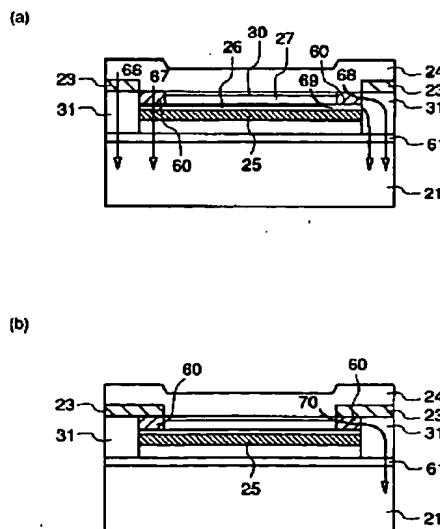
【図5】



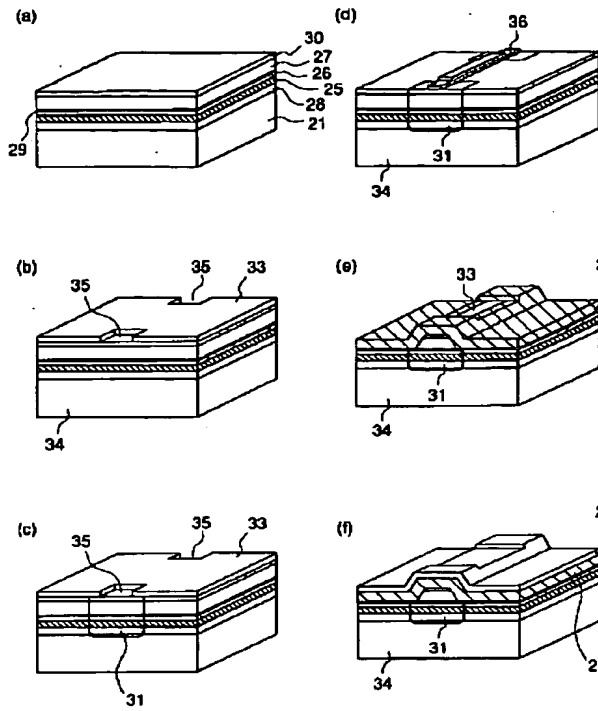
【図10】



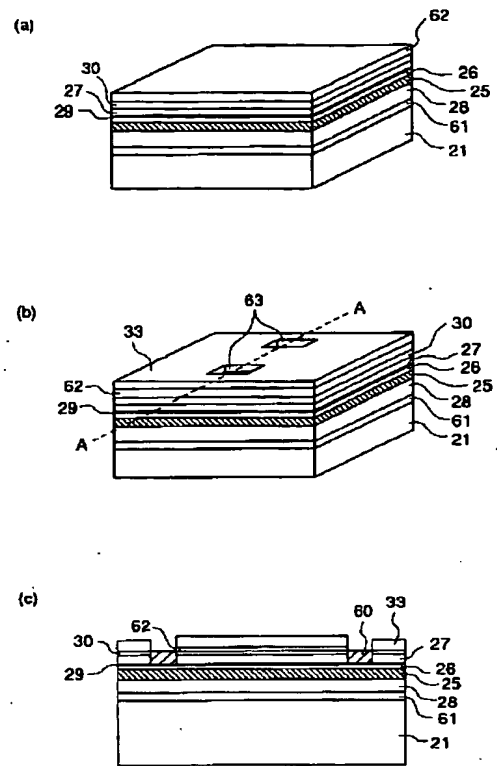
【図11】



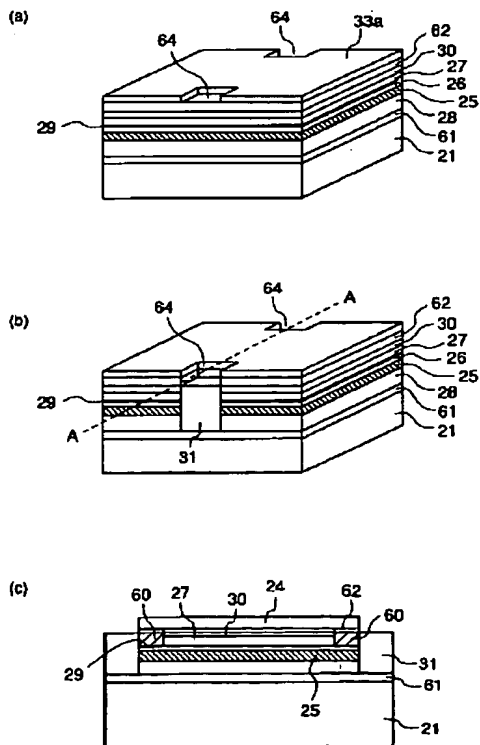
【図6】



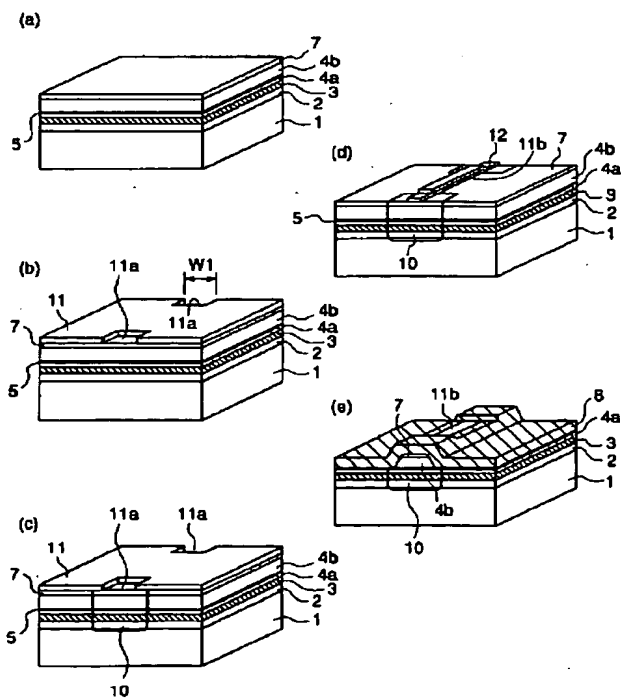
【図8】



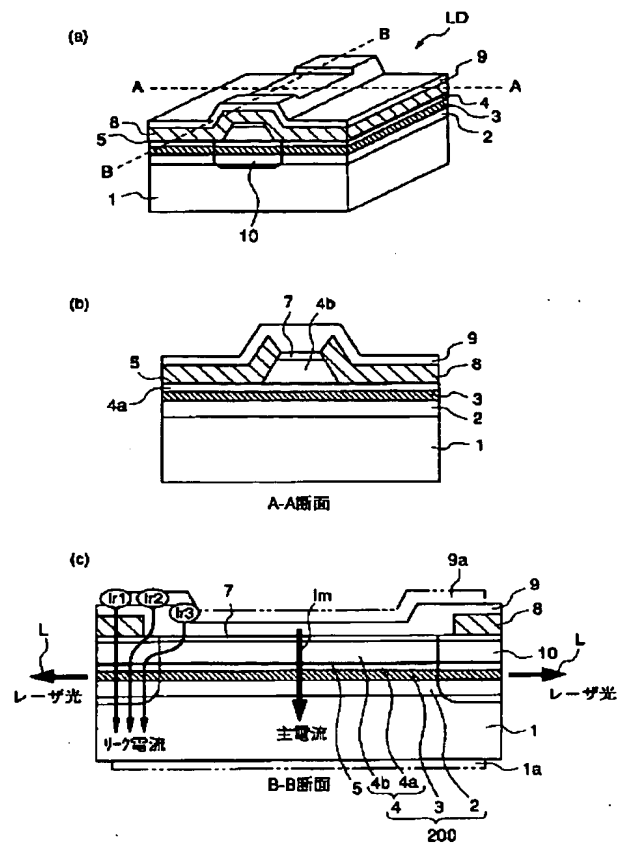
【図9】



【図13】



【図12】



フロントページの続き

(72)発明者 藤原 正敏  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内